

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-209971

(43)Date of publication of application : 25.07.2003

(51)Int.Cl.

H02M 3/28

(21)Application number : 2002-007082 (71)Applicant : ORIGIN ELECTRIC CO LTD

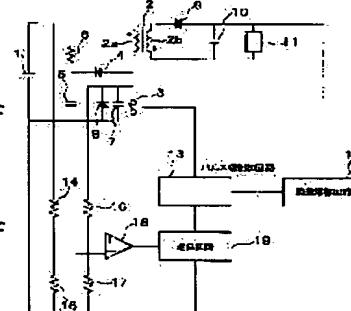
(22)Date of filing : 16.01.2002 (72)Inventor : TAGUCHI TAKAYUKI
HITOMI MOTOHISA

(54) FLYBACK-TYPE CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flyback-type converter which makes insignificant the magnitude of the leakage inductance of a transformer by suppressing loss caused by energy accumulated in the leakage inductance of the transformer to a minimum.

SOLUTION: In a control circuit of this flyback-type converter, accumulated energy in the leakage inductance of the transformer during the on-time of a switching semiconductor device is charged temporarily in a voltage clamp means by the forward conduction of a charge storage diode in an off-time of the switching semiconductor device, a large amount of the energy accumulated in the voltage clamp means is discharged to a DC input power source through the leakage inductance of the transformer by the reverse conduction of the charge storage diode, and the switching semiconductor device is turned on after the charge storage diode is almost recovered reversely.



LEGAL STATUS

[Date of request for examination] 11.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3610383

[Date of registration] 29.10.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.** shows the word which can not be translated.**

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The switching semiconductor device which opens and closes the current path from direct-current input power to a load alternatively, The primary coil of the transformer connected to this switching semiconductor device at a serial, it connecting with said switching semiconductor device at juxtaposition, and with the long diode of the carrier life time by which series connection was carried out mutually, and an electrical-potential-difference clamp means to maintain the electrical potential difference of about 1 law It has the diode for rectification by which series connection is carried out to the secondary coil of said transformer. It is the flyback form converter which supplies a current to a load side through said diode for rectification when said switching semiconductor device is OFF. The energy with which said switching semiconductor device was stored in the leakage inductance of said transformer, and the inductance of wiring at the period of ON at the "off" period of said switching semiconductor device While once storing in an electrical-potential-difference clamp means by the forward direction flow of a charge storage diode Many of energy stored in said electrical-potential-difference clamp means is returned to said direct-current input power through the leakage inductance of said transformer, and the inductance of wiring by the hard flow flow of said charge storage diode. The flyback form converter characterized by having the control circuit which carries out the turn-on of said switching semiconductor device after said charge storage diode carries out reverse recovery mostly.

[Claim 2] Said control circuit is a flyback form converter circuit characterized by carrying out the turn-on of said switching semiconductor device when the electrical potential difference of the both ends of said switching semiconductor device turns into zero or the minimum electrical potential difference mostly in claim 1, or when the reverse current which flows to hard flow becomes zero mostly about said charge storage diode.

[Claim 3] In claim 1 or claim 2 said control circuit The comparator circuit which produces the output signal reversed when the electrical potential difference and reference voltage of said switching semiconductor device are compared and the former becomes low rather than the latter, The delay circuit where only a setting time delay is delayed in said output signal of this comparator circuit, The pulse width control circuit which carries out the turn-on of said switching semiconductor device after progress of said setting time delay from the time of day when the electrical potential difference of said switching semiconductor device becomes lower than said reference voltage, The flyback form converter circuit characterized by having the error amplifying circuit which supplies the signal for off to said control circuit when a load electrical potential difference exceeds a programmed voltage.

[Claim 4] It is the flyback form converter circuit characterized by carrying out the

turn-on of said switching semiconductor device after said charge storage diode is emitted by hard flow to 90% or more of the energy with which said control circuit was stored in said electrical-potential-difference clamp means in either claim 1 thru/or claim 3.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the flyback form converter equipped with the circuit for protecting a switching semiconductor device from the surge voltage generated by change of the rapid electrical potential difference at the time of switching of a switching semiconductor device, or a current.

[0002]

[Description of the Prior Art] There is a thing of circuitry as shown in drawing 5 as a conventional typical flyback form converter. By this flyback form converter, series connection of a switching semiconductor device 3 like 1 order coil 2a and MOSFET of DC power supply 1 and a transformer 2 is carried out. And the diode 9 for rectification, the capacitor 10 for smooth, and the load 11 are connected to the secondary coil 2b side of a transformer 2. While juxtaposition is equipped with a capacitor 7 in the both ends of the switching semiconductor device 3, diode 8 is connected to reverse juxtaposition and the snubber circuit which consists of resistance 22 by which the series connection was carried out further, and a capacitor 23 is also connected to juxtaposition. In addition, 13' is a control circuit which controls the switching semiconductor device 3 so that output voltage becomes fixed.

[0003] Like the usual flyback form converter, when the switching semiconductor device 3 is ON, a current flows through primary coil 2a of a transformer 2 from DC power supply 1, and energy is accumulated in a transformer 2. And if the switching semiconductor device 3 becomes off, the energy accumulated in the transformer 2 will be supplied to a load 11 through the diode 9 for rectification, and the capacitor 10 for smooth. When the switching semiconductor device 3 carries out a turn-off with the signal from control circuit 13', the energy stored in the leakage inductance of a transformer 2 or the inductance of wiring is consumed in the snubber circuit which consists of resistance 22 and a capacitor 23. Therefore, a spike electrical potential difference did not occur but it has prevented impressing the electrical potential difference which is not desirable to the switching semiconductor device 3.

[0004]

[Problem(s) to be Solved by the Invention] Therefore, although an unnecessary overvoltage is not impressed by work of a snubber circuit in the conventional flyback form converter circuit at the time of the turn-off of a switching semiconductor device, since the leakage inductance of a transformer 2 and the inductance savings **** energy of wiring are consumed in a snubber circuit, it is important for them to make the leakage inductance of a transformer 2 small, for raising power efficiency. However, since the structure of a transformer 2 must become complicated for making it close coupling and it must manufacture with high precision although primary coil 2a of a transformer 2 and secondary coil 2b must be made into close coupling in order to make the leakage inductance of a transformer 2 small, there is a problem that the cost of a transformer cannot but become quite high. It is impossible to also disregard the power loss by consumption of the energy stored in the inductance of wiring with RF-izing of a switching frequency further again. This invention aims at offering the flyback form converter circuit which can reduce power loss, without increasing passive circuit elements.

[0005]

[Means for Solving the Problem] In order to solve the above problems, in invention of claim 1 The switching semiconductor device which opens and closes the current path from direct-current input power to a load alternatively, The primary coil of the transformer connected to this switching semiconductor device at a serial, it connecting with said switching semiconductor device at juxtaposition, and with the long diode of the carrier life time by which series connection was carried out mutually, and an electrical-potential-difference clamp means to maintain the electrical potential difference of about 1 law It has the diode for rectification by which series connection is carried out to the secondary coil of said transformer. It is the flyback form converter which supplies a current to a load side through said diode for rectification when said switching semiconductor device is OFF. The energy with which said switching semiconductor device was stored in the leakage inductance of said transformer, and the inductance of wiring at the period of ON at the "off" period of said switching semiconductor device While once storing in an electrical-potential-difference clamp means by the forward direction flow of a charge storage diode Many of energy stored in said electrical-potential-difference clamp means is returned to said direct-current input power through the leakage inductance of said transformer, and the inductance of wiring by the hard flow flow of said charge storage diode. After said charge storage diode carries out reverse recovery mostly, a flyback form converter equipped with the control circuit which carries out the turn-on of said switching semiconductor device is offered.

[0006] In order to solve the above problems, in invention of claim 2, said control circuit offers the converter circuit which carries out the turn-on of said switching semiconductor device in claim 1, when the electrical potential difference of the both ends of said switching semiconductor device turns into zero or the minimum electrical potential difference mostly, or when the reverse current which flows to hard flow becomes zero mostly about said charge storage diode.

[0007] In order to solve the above problems, in invention of claim 3 The comparator circuit which produces the output signal reversed when the electrical potential difference and reference voltage of said switching semiconductor device are compared and the former becomes low rather than the latter in claim 1 or claim 2, The delay circuit where only a setting time delay is delayed in said output signal of this comparator circuit, The control circuit which carries out the turn-on of said switching semiconductor device after the passage of time at the time of said setting delay from the time of day when the electrical potential difference of said switching semiconductor device becomes lower than said reference voltage, When a load electrical potential difference exceeds a programmed voltage, a converter circuit equipped with the output voltage error amplifying circuit which supplies the signal for off to said control circuit is offered.

[0008] In order to solve the above problems, in invention of claim 4, said control circuit offers the converter circuit which carries out the turn-on of said switching semiconductor device in either claim 1 thru/or claim 3, after said charge storage diode is emitted by hard flow to 90% or more of the energy stored in said electrical-potential-difference clamp means.

[0009]

[The gestalt for inventing] This invention is a flyback form converter using the technique indicated by JP,9-149649,A etc. Especially this invention the energy stored in the leakage inductance of a transformer, or the inductance of wiring It once stores in a clamp means through the forward direction flow of a charge storage diode which has long carrier life time at the "off" period of a switching semiconductor device like MOSFET

compared with common diode. Much of the conserved energy is returned to direct-current input power through the hard flow flow of a charge storage diode, and after a charge storage diode carries out reverse recovery mostly, the flyback form converter equipped with the control circuit which makes a switching semiconductor device turn on is offered.

[0010] The 1st example which starts this invention by drawing 1 thru/or drawing 3 is explained. This example is circuitry shown in drawing 1, and the connection between each passive circuit elements is as illustration. In drawing 1, the same notation as the notation referred to by drawing 5 shall show corresponding passive circuit elements. The charge storage diode 4 has the long carrier life time more than the switching period of the switching semiconductor device 3. The usual diode has carrier life time shorter enough than a switching period. The long diode of carrier life time essentially has a large charge accumulated dose by forward current compared with the usual short thing. Therefore, it has the property which carries out long duration maintenance of the hard flow flow, and if the recombination of a carrier is disregarded, when a charge equal to stored charge will be poured in from hard flow, the hard flow stopping-power force of the charge storage diode 4 is recovered, and gets blocked and carries out reverse recovery. In this converter circuit, each circuit constant is selected so that the charge storage diode 4 may carry out reverse recovery to the "off" period of the switching semiconductor device 3.

[0011] The electrical-potential-difference clamp means 5 may be a cell like a dry cell or a battery which presents a programmed voltage higher than the electrical potential difference E_i of the direct-current input power 1, although the operation which clamps the electrical potential difference impressed to the both ends of the switching semiconductor device 3 is performed and a capacitor is generally used as a simple means. This example explains the electrical-potential-difference clamp means 5 as a capacitor henceforth. Except for the time of a light load, the electrical potential difference of the capacitor 5 for an electrical-potential-difference clamp is almost fixed, and is maintained by the electrical potential difference higher than the electrical potential difference E_i of the direct-current input power 1. Therefore, in the usual actuation, although the energy stored in the leakage inductance of a transformer 2 or the non-illustrated wiring inductance is stored in the capacitor 5 for an electrical-potential-difference clamp through the charge storage diode 4 when the switching semiconductor device 3 carries out a turn-off, the electrical potential difference of the capacitor 5 hardly changes, but is almost fixed. That is, the capacitor 5 for an electrical-potential-difference clamp has such comparatively big capacitance. Moreover, it acts also as a reset circuit of a transformer and the electrical potential difference of the difference of the electrical potential difference of the capacitor 5 for an electrical-potential-difference clamp and the electrical potential difference of the direct-current input power 1 turns into a reset electrical potential difference of a transformer 2, and in the condition usual in the electrical potential difference of the capacitor 5 for an electrical-potential-difference clamp, the circuit design of the circuit which consists of a charge storage diode 4 and a capacitor 5 for an electrical-potential-difference clamp is carried out so that a transformer 2 may be reset certainly at the "off" period of the switching semiconductor device 3.

[0012] The error amplifying circuit 12 is the usual thing which carries out pulse width control of the switching semiconductor device 3 so that the error signal of the detection electrical potential difference of a load electrical potential difference and the reference voltage set up beforehand may be given to the pulse width control circuit 13 and the

detection electrical potential difference of said load electrical potential difference may become equal to reference voltage in the pulse width control circuit 13. Resistance 14 and 15 divides and detects the electrical potential difference of the direct-current input power 1, and the power-source detection electrical potential difference is used as reference voltage. Resistance 16 and 17 divides and detects the electrical potential difference of the switching semiconductor device 3. A comparator circuit 18 compares said reference voltage and electrical potential difference on which the switching semiconductor device 3 was detected, and generates the output signal reversed when the latter becomes small rather than the former. In a delay circuit 19, only the setup time delays the output signal of a comparator circuit 18 for 100 to 300ns preferably, for example for 50 to 500ns. For example, you make it preferably delayed for 100 to 300ns for 50 to 500ns. This time delay is time amount taken to fall to zero, after the electrical potential difference on which the switching semiconductor device 3 was detected by the below-mentioned resonance crosses said reference voltage, and null voltage switching of the switching semiconductor device 3 is attained by this delay. The above-mentioned resistance 14-17, a comparator circuit 18, and a delay circuit 19 can perform null voltage switching. In addition, 6 is strong resistance for discharge of resistance, and as for the capacitor 7 for resonance, and the diode 8 of antiparallel connection, it is substituted for the capacitance between source-drains, and body diode when the switching semiconductor device 3 is MOSFET.

[0013] Next, typical actuation of this example is explained also with reference to the wave of each part of drawing 2 and drawing 3.

[0014] Period 1 ($t_1 < t \leq t_2$)

The period 1 from time of day t_1 to time of day t_2 is a period which the switching semiconductor device 3 turns on. Since this period has actuation the same as the conventional flyback converter circuit, explanation is omitted.

[0015] Period 2 ($t_2 < t \leq t_3$)

At time of day t_2 , while the switching semiconductor device 3 carries out a turn-off, the electrical potential difference between the both ends of the switching semiconductor device 3 goes abruptly up by resonance with the capacitor 5 for an electrical-potential-difference clamp, and the excitation inductance of a transformer 2. This period 2 is continued until the electrical potential difference of the switching semiconductor device 3 reaches the electrical potential difference of the direct-current input power 1.

[0016] Period 3 ($t_3 < t \leq t_4$)

At time of day t_3 , if the electrical potential difference of the switching semiconductor device 3 reaches the electrical potential difference of the direct-current input power 1, the diode 9 for rectification of the secondary of a transformer 2 will flow, power will be supplied to a load 11, and, on the other hand, the capacitor 7 for resonance and the leakage inductance of a transformer 2 will start resonance. This period 3 continues till the time of day t_4 when the electrical potential difference of the switching semiconductor device 3 reaches the electrical potential difference of the capacitor 5 for an electrical-potential-difference clamp.

[0017] Period 4 ($t_4 < t \leq t_5$)

At time of day t_4 , if the electrical potential difference of the switching semiconductor device 3 reaches the electrical potential difference of the capacitor 5 for an electrical-potential-difference clamp, the charge storage diode 4 will start a flow to the forward direction, and the capacitor 5 for an electrical-potential-difference clamp will be

poured for the energy stored in the leakage inductance of a transformer 2. Under the present circumstances, resonance with the capacitor 5 for an electrical-potential-difference clamp and the leakage inductance of a transformer 2 takes place, and the electrical potential difference of the switching semiconductor device 3 changes. Since the capacitor 5 for an electrical-potential-difference clamp has capacitance big enough compared with the capacitor 7 for resonance as stated above, it becomes the form which clamped the electrical potential difference of the switching semiconductor device 3, and it does not generate but a spike electrical potential difference turns into an electrical potential difference on which whether it is very gently small goes up. And if the energy stored in the leakage inductance of a transformer 2 becomes zero at time of day t5, the forward direction flow of the charge storage diode 4 will be ended.

[0018] Period 5 ($t_5 < t \leq t_6$)

If the energy stored in the leakage inductance of a transformer 2 becomes zero, the charge storage diode 4 begins a flow to hard flow, and it will flow to hard flow until the stored charge accumulated in the charge storage diode 4 by the current equivalent to the energy stored in the leakage inductance of a transformer 2 becomes zero. And if the stored charge accumulated in the charge storage diode 4 becomes zero, a hard flow inhibition property will be recovered and the hard flow flow of the charge storage diode 4 will stop at time of day t6. In addition, resonance with the capacitor 5 for an electrical-potential-difference clamp and the leakage inductance of a transformer 2 is performed succeedingly at this period. A forward direction flow and hard flow flow of a period 4 and a period 5 of the charge storage diode 4 are important so that **** may show. [in / at this invention / the "off" period of the switching semiconductor device 3]

[0019] Period 6 ($t_6 < t \leq t_7$)

If the hard flow flow of the charge storage diode 4 stops, that is, the reverse inhibition property is recovered at time of day t6, resonance with the capacitor 5 for an electrical-potential-difference clamp and the leakage inductance of a transformer 2 will change to resonance with a capacitor 7 and the leakage inductance of a transformer 2. According to these resonance phenomena, at time of day t7, if the electrical potential difference of the switching semiconductor device 3 reaches the electrical potential difference of the capacitor 5 for an electrical-potential-difference clamp again, the charge storage diode 4 will carry out a forward direction flow again, and resonance with the capacitor 5 for an electrical-potential-difference clamp, a capacitor 7, and the leakage inductance of a transformer 2 is performed.

[0020] Period 7 ($t_7 < t$)

Usually, as for the amplitude, in a period 4, a period 5, and a period 6, number cycle repeat ***** becomes small gradually with reduction of resonance energy. The amplitude of resonance decreases this period, and it continues until the electrical potential difference of the switching semiconductor device 3 turns into an electrical potential difference equal to the sum of the primary side conversion electrical potential difference of output voltage, and the electrical potential difference of input DC power supply 1. And after that, the electrical potential difference of the switching semiconductor device 3 is clamped by the electrical potential difference equal to the sum of the primary side conversion electrical potential difference of output voltage, and the electrical potential difference of the direct-current input power 1, and the condition continues until the secondary coil current of a transformer 2 becomes zero. If the secondary coil current of a transformer 2 becomes zero, since the diode 9 for rectification is un-flowing and the secondary coil

side of a transformer 2 is opened, the electrical potential difference of the switching semiconductor device 3 will vibrate by the excitation inductance of a transformer 2, and resonance of a capacitor 8. Since actuation in the meantime operates like the conventional flyback form converter, it omits explanation. Then, the actuation same in actuation of a period 1 as return and the above-mentioned is repeated.

[0021] If what has carrier life time long enough as a charge storage diode 4 compared with the switching period of the switching semiconductor device 3 is selected as stated above, the power charged through the forward direction flow of the charge storage diode 4 by the capacitor 5 for an electrical-potential-difference clamp as shown in drawing 4 will discharge about 100%. For this reason, the energy stored in the "on" period of the switching semiconductor device 3 by the leakage inductance of a transformer 3 and the inductance of wiring is once charged through the forward direction flow of the charge storage diode 4 by the capacitor 5 for an electrical-potential-difference clamp at the "off" period of the switching semiconductor device 3, then the hard flow flow of the charge storage diode 4 starts, and the greater part of that energy can be returned to the direct-current input power 1 through a transformer 2. Therefore, since according to this invention that snubber loss is mostly made to zero even if the leakage inductance of a transformer 2 is large, it is not made the impossible structure which can make the leakage inductance of a transformer 2 small as much as possible like before, and the coil structure of a transformer 2 can be simplified.

[0022] In this example, since a switching frequency is pulse width control which controls pulse width by immobilization, the conventional control circuit can be used and work of resistance 14-17, a comparator circuit 18, and a delay circuit 19 can perform null voltage switching. In the example shown in drawing 1, in time of day t1, if the electrical potential difference of the switching semiconductor device 3 turns into below the electrical potential difference of the direct-current input power 1 as when the switching semiconductor device 3 carries out a turn-on shows to drawing 3 (A), as shown in this drawing (B), it will be reversed and the output signal of a comparator circuit 18 will be set to forward level. By the time it falls to zero mostly after the electrical potential difference of the switching semiconductor device 3 crosses the electrical potential difference of the direct-current input power 1 as shown in this drawing (B), a certain short time amount tau will be required. In order to carry out zero cross switching of the switching semiconductor device 3, as it is necessary to detect correctly the time of the electrical potential difference of the switching semiconductor device 3 becoming zero, therefore is shown in this drawing (C), a delay circuit 19 produces the output signal with which only time amount tau delayed the output signal of a comparator circuit 18. Here, an experiment to the time amount tau is 100 - 300ns preferably, for example for 50 to 500ns.

[0023] On the other hand, the error amplifying circuit 12 generates the error magnification signal which amplifies the error of output voltage and reference voltage. And as shown in this drawing (D), when the saw-tooth wave signal generated in the pulse width control circuit 13 becomes equal to said error magnification signal at the turn-on time of the switching semiconductor device 3, i.e., the standup of the output signal of a delay circuit 19, as shown in this drawing (E), the pulse width control circuit 13 stops generating a pulse width control signal, and carries out the turn-off of the switching semiconductor device 3. The electrical potential difference of the switching semiconductor device 3 at this time is zero or the minimum value, and can reduce the switching loss of the switching semiconductor device 3 by null voltage switching. And when the charge storage diode 4 performs the both sides of a forward direction flow and

a hard flow flow and charges [at the capacitor 5 for an electrical-potential-difference clamp] the energy stored in the leakage inductance of a transformer 3, or the inductance of wiring once and returns the energy to direct-current input power continuously as mentioned above in the "off" period of the switching semiconductor device 3, a snubber function is performed, without almost producing loss.

[0024] In addition, as a solid state switch component in the above example, when MOSFET is used, even if it uses the capacitance between source-drains of MOSFET, and body diode for instead of [those], the same effectiveness is acquired, without using the capacitor 6 for resonance, and diode 8 separately.

[0025]

[Effect of the Invention] As stated above, in this invention, with the charge storage diode and the clamp means of having long carrier life time compared with the SUITCHIGGU period of a switching semiconductor device Since many of energy stored in the leakage inductance of a transformer 2 or the inductance of wiring is recoverable to direct-current input power Since it is not necessary to make the leakage inductance of a transformer 2 small, therefore to make primary coil 2a of a transformer 2, and secondary coil 2b into close coupling, a quite cheap transformer can be used compared with the former, and it becomes advantageous in respect of cost. Moreover, since the power loss by the inductance of wiring does not increase even if it RF-izes a switching frequency in this invention, RF-izing is possible.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing one example of the flyback form converter concerning this invention.

[Drawing 2] It is drawing showing the wave of each part for explaining said example.

[Drawing 3] It is drawing showing the wave of each part for explaining said example.

[Drawing 4] It is drawing showing the power recovery depending on the die length of the carrier life time of the 1st diode.

[Drawing 5] It is drawing showing the conventional flyback form converter.

[Description of Notations]

1 Direct-current input power

The transformer which has 2....primary coil 2a and secondary coil 2b

3 Switching semiconductor device

4 Charge storage diode

5 Electrical-potential-difference clamp means

6 Resistance for discharge

7 Capacitor

8 Diode

9 Diode for rectification

10 Capacitor for smooth

11 Load

12 Error amplifying circuit

13 Pulse width control circuit

18 Comparator circuit

19 Delay circuit

2003-209971 : Trans

- 8 -

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-209971

(P2003-209971A)

(43)公開日 平成15年7月25日 (2003.7.25)

(51)Int.Cl.⁷

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テーマコード(参考)

R 5 H 7 3 0

K

審査請求 未請求 請求項の数4 O.L (全7頁)

(21)出願番号

特願2002-7082(P2002-7082)

(22)出願日

平成14年1月16日 (2002.1.16)

(71)出願人 000103976

オリジン電気株式会社

東京都豊島区高田1丁目18番1号

(72)発明者 田口 隆行

東京都豊島区高田1丁目18番1号 オリジン電気株式会社内

(72)発明者 人見 基久

東京都豊島区高田1丁目18番1号 オリジン電気株式会社内

Fターム(参考) 5H730 AA02 BB43 BB57 DD42 EE02

EE07 FD01 FD11 FD26 FG05

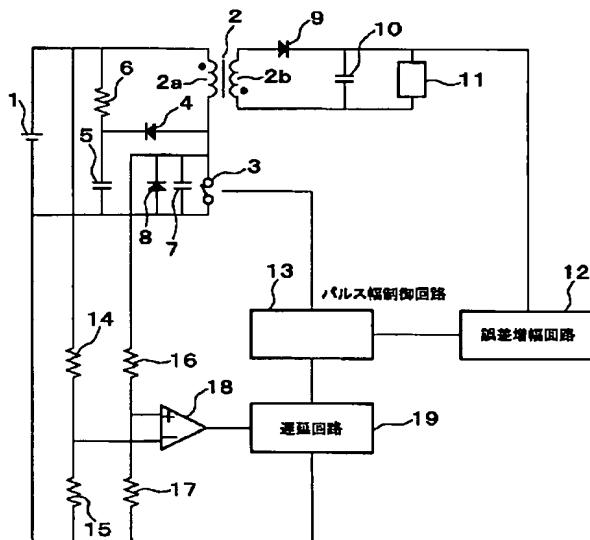
XX32

(54)【発明の名称】 フライバック形コンバータ

(57)【要約】

【目的】 トランジストの漏洩インダクタンスに蓄積させるエネルギーによる損失を最小限に抑えることにより、トランジストの漏洩インダクタンスの大小が問題にならないフライバック形コンバータを提供すること。

【構成】 前記スイッチング半導体素子がオンの期間に前記トランジストの漏洩インダクタンスに蓄えられたエネルギーを前記スイッチング半導体素子のオフ期間に、電荷蓄積ダイオードの順方向導通により電圧クラップ手段に一旦蓄えると共に、前記電圧クラップ手段に蓄えられたエネルギーの多くを前記電荷蓄積ダイオードの逆方向導通により前記トランジストの漏洩インダクタンスを通して前記直流入力電源に戻し、前記電荷蓄積ダイオードがほぼ逆回復した後に前記スイッチング半導体素子をターンオフさせる制御回路を備えるフライバック形コンバータ。



【特許請求の範囲】

【請求項1】 直流入力電源から負荷に至る電流路を選択的に開閉するスイッチング半導体素子と、該スイッチング半導体素子に直列に接続されるトランスの1次巻線と、前記スイッチング半導体素子に並列に接続され、かつ互いに直列接続されたキャリアライフトタイムの長いダイオードとほぼ一定の電圧を維持する電圧クランプ手段と、前記トランスの2次巻線に直列接続される整流用ダイオードと、を備え、

前記スイッチング半導体素子がオフのときに前記整流用ダイオードを通して負荷側に電流を供給するフライバック形コンバータであって、

前記スイッチング半導体素子がオンの期間に前記トランスの漏洩インダクタンス及び配線のインダクタンスに蓄えられたエネルギーを前記スイッチング半導体素子のオフ期間に、電荷蓄積ダイオードの順方向導通により電圧クランプ手段に一旦蓄えると共に、前記電圧クランプ手段に蓄えられたエネルギーの多くを前記電荷蓄積ダイオードの逆方向導通により前記トランスの漏洩インダクタンス及び配線のインダクタンスを通して前記直流入力電源に戻し、前記電荷蓄積ダイオードがほぼ逆回復した後に前記スイッチング半導体素子をターンオンさせる制御回路を備えることを特徴とするフライバック形コンバータ。

【請求項2】 請求項1において、

前記制御回路は、前記スイッチング半導体素子の両端の電圧がほぼゼロあるいは最低電圧になるとき、又は前記電荷蓄積ダイオードを逆方向に流れる逆方向電流がほぼゼロになるとき、前記スイッチング半導体素子をターンオンさせることを特徴とするフライバック形コンバータ回路。

【請求項3】 請求項1又は請求項2において、前記制御回路は、

前記スイッチング半導体素子の電圧と基準電圧とを比較して前者が後者よりも低くなるとき反転する出力信号を生じる比較回路と、

該比較回路の前記出力信号を設定遅延時間だけ遅延する遅延回路と、

前記スイッチング半導体素子の電圧が前記基準電圧よりも低くなる時刻から前記設定遅延時間の経過後に前記スイッチング半導体素子をターンオンさせるパルス幅制御回路と、

負荷電圧が設定電圧を越えるときにオフ用信号を前記制御回路に供給する誤差増幅回路と、

を備えたことを特徴とするフライバック形コンバータ回路。

【請求項4】 請求項1ないし請求項3のいずれかにおいて、

前記制御回路は、前記電圧クランプ手段に蓄えられたエネルギーの90%以上が前記電荷蓄積ダイオードを逆方向に放出された後に、前記スイッチング半導体素子をターンオンさせることを特徴とするフライバック形コンバータ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スイッチング半導体素子のスイッチング時の急激な電圧や電流の変化により発生するサージ電圧からスイッチング半導体素子を保護するための回路を備えたフライバック形コンバータに関する。

【0002】

【従来技術】 従来の代表的なフライバック形コンバータとして図5に示すような回路構成のものがある。このフライバック形コンバータでは、直流電源1とトランス2の1次巻線2aとMOSFETのようなスイッチング半導体素子3とが直列接続されている。そして、トランス2の2次巻線2b側には整流用ダイオード9、平滑用コンデンサ10、負荷11が接続されている。スイッチング半導体素子3の両端には、並列にコンデンサ7が備えられると共に、逆並列にダイオード8が接続され、さらに直列接続された抵抗22とコンデンサ23とから構成されるスナバ回路も並列に接続されている。なお、13'は出力電圧が一定になるようにスイッチング半導体素子3を制御する制御回路である。

【0003】 通常のフライバック形コンバータと同様に、スイッチング半導体素子3がオンのとき、直流電源1からトランス2の1次巻線2aを通して電流が流れ、トランス2にエネルギーが蓄積される。そして、スイッチング半導体素子3がオフになると、トランス2に蓄積されたエネルギーが整流用ダイオード9、平滑用コンデンサ10を通して負荷11に供給される。制御回路13'からの信号によりスイッチング半導体素子3がターンオフするとき、トランス2の漏れインダクタンスや配線のインダクタンスに蓄えられたエネルギーは抵抗22とコンデンサ23とから構成されるスナバ回路で消費される。したがって、スペイク電圧が発生せず、スイッチング半導体素子3に好ましくない電圧が印加されるのを防いでいる。

【0004】

【発明が解決しようとする課題】 したがって、従来のフライバック形コンバータ回路ではスナバ回路の働きによりスイッチング半導体素子のターンオフ時に不要な過電圧が印加されないものの、トランス2の漏れインダクタンスや配線のインダクタンス蓄えられたエネルギーはスナバ回路で消費されるので、電力効率を向上させるにはトランス2の漏れインダクタンスを小さくすることが大切である。しかし、トランス2の漏れインダクタンスを小さくするには、トランス2の1次巻線2aと2次巻

線2 bとを密結合にしなければならないが、密結合にするにはトランス2の構造が複雑になり、高精度に製作しなければならないので、トランスのコストがかなり高くならざるを得ないという問題がある。さらにまた、スイッチング周波数の高周波化に伴い配線のインダクタンスに蓄えられるエネルギーの消費による電力損失も無視できなくなっている。本発明は、回路部品を増やすことなく、電力損失を低減し得るフライバック形コンバータ回路を提供することを目的としている。

【0005】

【問題を解決するための手段】前述のような問題を解決するため、請求項1の発明では、直流入力電源から負荷に至る電流路を選択的に開閉するスイッチング半導体素子と、このスイッチング半導体素子に直列に接続されるトランスの1次巻線と、前記スイッチング半導体素子に並列に接続され、かつ互いに直列接続されたキャリアライフタイムの長いダイオードとほぼ一定の電圧を維持する電圧クランプ手段と、前記トランスの2次巻線に直列接続される整流用ダイオードとを備え、前記スイッチング半導体素子がオフのときに前記整流用ダイオードを通して負荷側に電流を供給するフライバック形コンバータであって、前記スイッチング半導体素子がオンの期間に前記トランスの漏洩インダクタンス及び配線のインダクタンスに蓄えられたエネルギーを前記スイッチング半導体素子のオフ期間に、電荷蓄積ダイオードの順方向導通により電圧クランプ手段に一旦蓄えると共に、前記電圧クランプ手段に蓄えられたエネルギーの多くを前記電荷蓄積ダイオードの逆方向導通により前記トランスの漏洩インダクタンス及び配線のインダクタンスを通して前記直流入力電源に戻し、前記電荷蓄積ダイオードがほぼ逆回復した後に前記スイッチング半導体素子をターンオンさせる制御回路を備えるフライバック形コンバータを提供する。

【0006】前述のような問題を解決するため、請求項2の発明では、請求項1において、前記制御回路は、前記スイッチング半導体素子の両端の電圧がほぼゼロあるいは最低電圧になるとき、又は前記電荷蓄積ダイオードを逆方向に流れる逆方向電流がほぼゼロになるとき、前記スイッチング半導体素子をターンオンさせるコンバータ回路を提供する。

【0007】前述のような問題を解決するため、請求項3の発明では、請求項1又は請求項2において、前記スイッチング半導体素子の電圧と基準電圧とを比較して前者が後者よりも低くなるとき反転する出力信号を生じる比較回路と、この比較回路の前記出力信号を設定遅延時間だけ遅延する遅延回路と、前記スイッチング半導体素子の電圧が前記基準電圧よりも低くなる時刻から前記設定遅延時間の経過後に前記スイッチング半導体素子をターンオンさせる制御回路と、負荷電圧が設定電圧を越えるときにオフ用信号を前記制御回路に供給する出力電

圧誤差增幅回路とを備えるコンバータ回路を提供する。

【0008】前述のような問題を解決するため、請求項4の発明では、請求項1ないし請求項3のいずれかにおいて、前記制御回路は、前記電圧クランプ手段に蓄えられたエネルギーの90%以上が前記電荷蓄積ダイオードを逆方向に放出された後に、前記スイッチング半導体素子をターンオンさせるコンバータ回路を提供する。

【0009】

【発明を実施するための形態】本発明は、特開平9-149649号公報などに開示された技術を利用したフライバック形コンバータである。特に、本発明はトランスの漏洩インダクタンスや配線のインダクタンスに蓄えられたエネルギーを、MOSFETのようなスイッチング半導体素子のオフ期間に、一般的のダイオードに比べて長いキャリアライフタイムを有する電荷蓄積ダイオードの順方向導通を通してクランプ手段に一旦蓄え、その蓄えられたエネルギーの多くが電荷蓄積ダイオードの逆方向導通を通して直流入力電源に戻され、電荷蓄積ダイオードがほぼ逆回復した後にスイッチング半導体素子をオンさせる制御回路を備えたフライバック形コンバータを提供するものである。

【0010】図1ないし図3により本発明にかかる第1の実施例を説明する。この実施例は図1に示す回路構成になっており、各回路部品間の接続は図示のとおりである。図1において、図5で参照した記号と同一の記号は相当する回路部品を示すものとする。電荷蓄積ダイオード4は、スイッチング半導体素子3のスイッチング周期以上の長いキャリアライフタイムを有する。通常のダイオードはスイッチング周期よりも十分に短いキャリアライフタイムを有する。キャリアライフタイムの長いダイオードは、通常の短いものに比べて本質的に順方向電流による電荷蓄積量が大きい。したがって、逆方向導通を長時間保持する特性を有し、キャリアの再結合を無視すれば蓄積電荷と等しい電荷が逆方向から注入された時点で、電荷蓄積ダイオード4の逆方向阻止能力が回復、つまり逆回復する。このコンバータ回路では、スイッチング半導体素子3のオフ期間に電荷蓄積ダイオード4が逆回復するように、各回路定数が選定されている。

【0011】電圧クランプ手段5は、スイッチング半導体素子3の両端に印加される電圧をクランプする作用を行い、一般的には簡便な手段としてコンデンサが用いられるが、直流入力電源1の電圧E_iよりも高い設定電圧を呈する乾電池や蓄電池のような電池であっても良い。この実施例では、以後、電圧クランプ手段5をコンデンサとして説明する。電圧クランプ用のコンデンサ5の電圧は、軽負荷時を除いてほぼ一定であり、直流入力電源1の電圧E_iよりも高い電圧に維持される。したがって、通常の動作において、スイッチング半導体素子3がターンオフするとき、トランス2の漏洩インダクタンスや不図示の配線インダクタンスに蓄えられたエネルギー

一が電荷蓄積ダイオード4を通して電圧クランプ用コンデンサ5に蓄えられるが、そのコンデンサ5の電圧はほとんど変化せずほぼ一定である。つまり、電圧クランプ用コンデンサ5はこのような比較的大きなキャパシタンスを有する。また、電荷蓄積ダイオード4と電圧クランプ用コンデンサ5とからなる回路はトランジスタのリセット回路としても作用し、電圧クランプ用コンデンサ5の電圧と直流入力電源1の電圧との差の電圧がトランジスタ2のリセット電圧になり、電圧クランプ用コンデンサ5の電圧が通常の状態ではスイッチング半導体素子3のオフ期間にトランジスタ2が確実にリセットされるように回路設計されている。

【0012】誤差増幅回路12は負荷電圧の検出電圧と予め設定された基準電圧との誤差信号をパルス幅制御回路13に与え、パルス幅制御回路13は前記負荷電圧の検出電圧が基準電圧に等しくなるように、スイッチング半導体素子3をパルス幅制御する通常のものである。抵抗14と15は直流入力電源1の電圧を分割し検出するものであり、その電源検出電圧は基準電圧として利用される。抵抗16と17はスイッチング半導体素子3の電圧を分割し検出するものである。比較回路18は前記基準電圧とスイッチング半導体素子3の検出された電圧とを比較し、後者が前者よりも小さくなるとき反転する出力信号を発生する。遅延回路19は、比較回路18の出力信号を設定時間だけ、例えば50～500ns、好ましくは100～300ns遅延させる。例えば50～500ns、好ましくは100～300ns遅延させる。この遅延時間は、後述の共振によりスイッチング半導体素子3の検出された電圧が前記基準電圧と交わってからゼロまで低下するのに要する時間であり、この遅延によりスイッチング半導体素子3のゼロ電圧スイッチングが可能になる。前述の抵抗14～17、比較回路18、及び遅延回路19によりゼロ電圧スイッチングを行うことができる。なお、6は抵抗値の大きな放電用抵抗であり、共振用コンデンサ7及び逆並列接続のダイオード8は、スイッチング半導体素子3がMOSFETの場合、そのソースードレイン間キャパシタンス及びボディダイオードが代用される。

【0013】次にこの実施例の代表的な動作について図2と図3の各部の波形をも参照して説明する。

【0014】期間1 ($t_1 < t \leq t_2$)

時刻 t_1 から時刻 t_2 までの期間1は、スイッチング半導体素子3がオンしている期間である。この期間は、従来のフライバックコンバータ回路と動作が同じであるので、説明を省略する。

【0015】期間2 ($t_2 < t \leq t_3$)

時刻 t_2 で、スイッチング半導体素子3がターンオフすると共に、電圧クランプ用コンデンサ5とトランジスタ2の励磁インダクタンスとの共振により、スイッチング半導体素子3の両端間の電圧が急上昇する。この期間2は、

スイッチング半導体素子3の電圧が直流入力電源1の電圧に達するまで継続される。

【0016】期間3 ($t_3 < t \leq t_4$)

時刻 t_3 で、スイッチング半導体素子3の電圧が直流入力電源1の電圧に達すると、トランジスタ2の2次側の整流用ダイオード9が導通して負荷11に電力を供給し、一方、共振用コンデンサ7とトランジスタ2の漏洩インダクタンスと共に共振を開始する。この期間3は、スイッチング半導体素子3の電圧が電圧クランプ用コンデンサ5の電圧に達する時刻 t_4 まで続く。

【0017】期間4 ($t_4 < t \leq t_5$)

時刻 t_4 で、スイッチング半導体素子3の電圧が電圧クランプ用コンデンサ5の電圧に達すると、電荷蓄積ダイオード4が順方向に導通を開始し、トランジスタ2の漏洩インダクタンスに蓄えられたエネルギーを電圧クランプ用コンデンサ5とトランジスタ2の漏洩インダクタンスとの共振が起り、スイッチング半導体素子3の電圧が変化する。前に述べたように、電圧クランプ用コンデンサ5は共振用コンデンサ7に比べて十分に大きなキャパシタンスを有しているので、スイッチング半導体素子3の電圧をクランプした形となり、スパイク電圧は発生せず、非常に緩やかに僅かだけ上昇する電圧となる。そして、時刻 t_5 で、トランジスタ2の漏洩インダクタンスに蓄えられたエネルギーがゼロになると、電荷蓄積ダイオード4の順方向導通は終了する。

【0018】期間5 ($t_5 < t \leq t_6$)

電荷蓄積ダイオード4は、トランジスタ2の漏洩インダクタンスに蓄えられたエネルギーがゼロになると、逆方向に導通を始め、トランジスタ2の漏洩インダクタンスに蓄えられたエネルギーに相当する電流により電荷蓄積ダイオード4に蓄積された蓄積電荷がゼロになるまで逆方向に導通する。そして、電荷蓄積ダイオード4に蓄積された蓄積電荷がゼロになると、逆方向阻止特性が回復し、時刻 t_6 で電荷蓄積ダイオード4の逆方向導通が止む。なお、この期間は、引き続き電圧クランプ用コンデンサ5とトランジスタ2の漏洩インダクタンスとの共振が行われる。上述から分かるように、本発明ではスイッチング半導体素子3のオフ期間における期間4と期間5の電荷蓄積ダイオード4の順方向導通と逆方向導通が大切である。

【0019】期間6 ($t_6 < t \leq t_7$)

時刻 t_6 で電荷蓄積ダイオード4の逆方向導通が止む、つまりその逆阻止特性が回復すると、電圧クランプ用コンデンサ5とトランジスタ2の漏洩インダクタンスとの共振は、コンデンサ7とトランジスタ2の漏洩インダクタンスとの共振に切り替わる。この共振現象により、時刻 t_7 でスイッチング半導体素子3の電圧が再度、電圧クランプ用コンデンサ5の電圧に達すると、電荷蓄積ダイオード4が再び順方向導通し、電圧クランプ用コンデンサ5と

コンデンサ7とトランス2の漏洩インダクタンスとの共振が行われる。

【0020】期間7 ($t_7 < t$)

通常、期間4、期間5、期間6は数サイクル繰り返し行われるが、共振エネルギーの減少に伴い次第に振幅は小さくなる。この期間は、共振の振幅が減衰し、スイッチング半導体素子3の電圧が出力電圧の1次側換算電圧と入力直流電源1の電圧との和に等しい電圧になるまで続く。そして、その後、スイッチング半導体素子3の電圧が出力電圧の1次側換算電圧と直流入力電源1の電圧との和に等しい電圧にクランプされ、その状態はトランス2の2次巻線電流がゼロになるまで続く。トランス2の2次巻線電流がゼロになると、整流用ダイオード9は非導通となり、トランス2の2次巻線側が開放となるため、トランス2の励磁インダクタンスとコンデンサ8の共振により、スイッチング半導体素子3の電圧が振動する。この間の動作は、従来のフライバック形コンバータと同じように動作するので、説明を省略する。この後、期間1の動作に戻り、前述と同じ動作を繰り返す。

【0021】前にも述べたように、電荷蓄積ダイオード4として、スイッチング半導体素子3のスイッチング周期に比べて十分に長いキャリアライフトайムをもつものを選定すれば、図4に示すように電荷蓄積ダイオード4の順方向導通を通して電圧クランプ用コンデンサ5に充電された電力はほぼ100%放電される。このため、スイッチング半導体素子3のオン期間にトランス3の漏れインダクタンスや配線のインダクタンスに蓄えられたエネルギーは、スイッチング半導体素子3のオフ期間に電荷蓄積ダイオード4の順方向導通を通して電圧クランプ用コンデンサ5に一旦充電され、次に電荷蓄積ダイオード4の逆方向導通が始まり、そのエネルギーの大部分はトランス2を通して直流入力電源1に戻すことができる。したがって、この発明によれば、トランス2の漏れインダクタンスが大きくともそのスナバ損失をほぼゼロにできるので、従来のようにトランス2の漏れインダクタンスを極力小さくできる無理な構造にすることはなく、トランス2の巻線構造を単純化できる。

【0022】この実施例では、スイッチング周波数は固定でパルス幅を制御するパルス幅制御であるので、従来の制御回路を使用することができ、また、抵抗14-17、比較回路18、及び遅延回路19の働きによりゼロ電圧スイッチングを行うことができる。図1に示した実施例では、時刻 t_1 で、スイッチング半導体素子3がターンオンすることにより、図3(A)に示すようにスイッチング半導体素子3の電圧が直流入力電源1の電圧以下になると、同図(B)に示すように比較回路18の出力信号は反転して正レベルになる。同図(B)から分かるように、スイッチング半導体素子3の電圧が直流入力電源1の電圧と交わってからほぼゼロに低下するまでにはある短い時間 τ を要する。スイッチング半導体素子

3をゼロクロススイッチングさせるためには、スイッチング半導体素子3の電圧がゼロになる時点を正確に検出する必要があり、したがって、同図(C)に示すように遅延回路19は、比較回路18の出力信号を時間 τ だけ遅延させた出力信号を生じる。ここで、実験から時間 τ は、例えば50~500ns、好ましくは100~300nsである。

【0023】一方、誤差增幅回路12は出力電圧と基準電圧との誤差を增幅する誤差增幅信号を発生する。そして、同図(D)に示すように、スイッチング半導体素子3のターンオン時点で、つまり遅延回路19の出力信号の立ち上がりで、パルス幅制御回路13内で発生された鋸歯状波信号が前記誤差増幅信号と等しくなるとき、同図(E)に示すように、パルス幅制御回路13はパルス幅制御信号を発生しなくなり、スイッチング半導体素子3はターンオフする。このときのスイッチング半導体素子3の電圧はゼロ又は最低の値であり、ゼロ電圧スイッチングによりスイッチング半導体素子3のスイッチング損失を低減することができる。そして、スイッチング半導体素子3のオフ期間で、前述のように電荷蓄積ダイオード4が順方向導通と逆方向導通の双方を行って、トランス3の漏れインダクタンスや配線のインダクタンスに蓄えられたエネルギーを電圧クランプ用コンデンサ5に一旦充電し、続いてそのエネルギーを直流入力電源へ帰還することにより、ほとんど損失を生じることなくスナバ機能が行われる。

【0024】なお、以上の実施例における半導体スイッチ素子として、MOSFETを用いた場合には、別途共振用コンデンサ6、ダイオード8を用いずに、MOSFETのソースードレイン間キャパシタンス、ボディダイオードをそれらの代わりに用いても同じ効果が得られる。

【0025】

【発明の効果】以上述べたように本発明では、スイッチング半導体素子のスイッチング周期に比べて長いキャリアライフトайムを有する電荷蓄積ダイオードとクランプ手段とにより、トランス2の漏れインダクタンスや配線のインダクタンスに蓄えられたエネルギーの多くを直流入力電源に回収できるので、トランス2の漏れインダクタンスを小さくする必要はなく、したがって、トランス2の1次巻線2aと2次巻線2bとを密結合にしなくともよいので、従来に比べてかなり安価なトランスを用いることができ、コスト面で有利となる。また、本発明ではスイッチング周波数を高周波化しても、配線のインダクタンスによる電力損失が増大しないので、高周波化が可能である。

【図面の簡単な説明】

【図1】本発明にかかるフライバック形コンバータの一実施例を示す図である。

【図2】前記実施例を説明するための各部の波形を示す

図である。

【図3】前記実施例を説明するための各部の波形を示す図である。

【図4】第1のダイオードのキャリア・ライフタイムの長さに依存する電力回収率を示す図である。

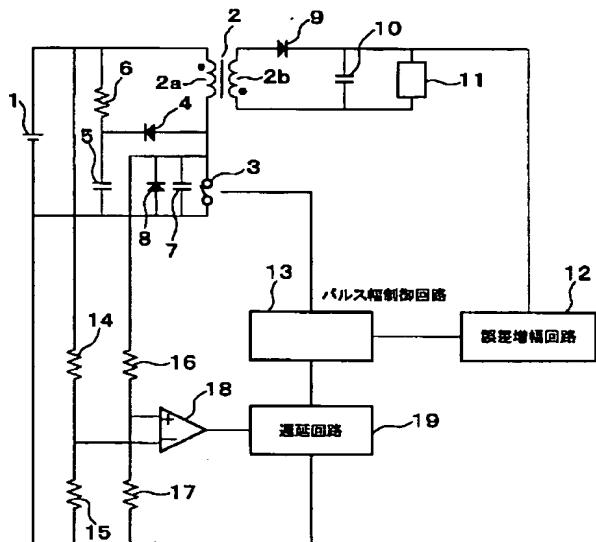
【図5】従来のフライバック形コンバータを示す図である。

【符号の説明】

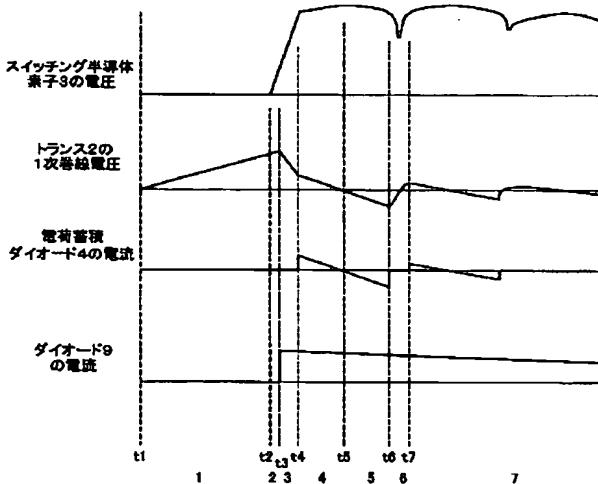
- 1 ···· 直流入力電源
- 2 ···· 1次巻線 2a と 2 次巻線 2b とを有するトランジスタ
- 3 ···· スイッチング半導体素子

- * 4 ···· 電荷蓄積ダイオード
- 5 ···· 電圧クランプ手段
- 6 ···· 放電用抵抗
- 7 ···· コンデンサ
- 8 ···· ダイオード
- 9 ···· 整流用ダイオード
- 10 ···· 平滑用コンデンサ
- 11 ···· 負荷
- 12 ···· 誤差増幅回路
- 13 ···· パルス幅制御回路
- 14 ···· 比較回路
- * 15 ···· 遅延回路

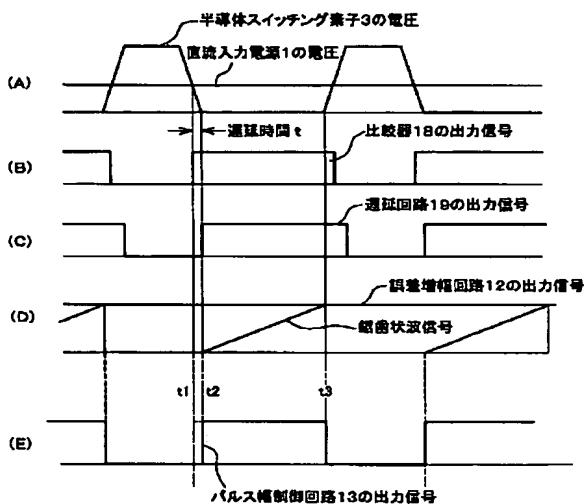
【図1】



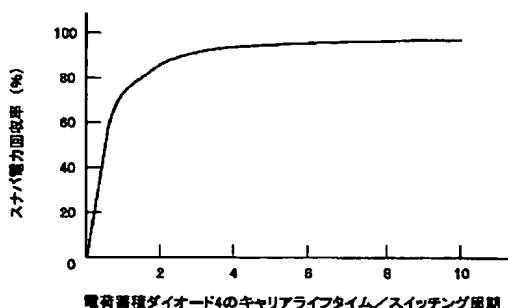
【図2】



【図3】



【図4】



【図5】

